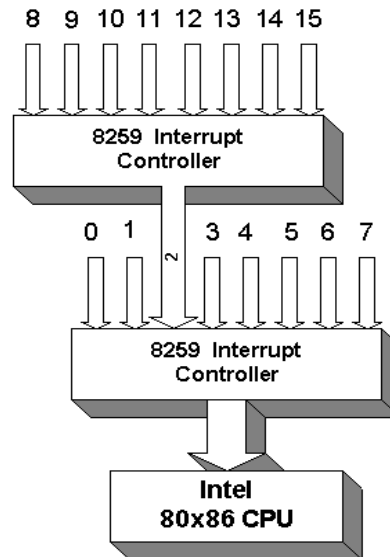


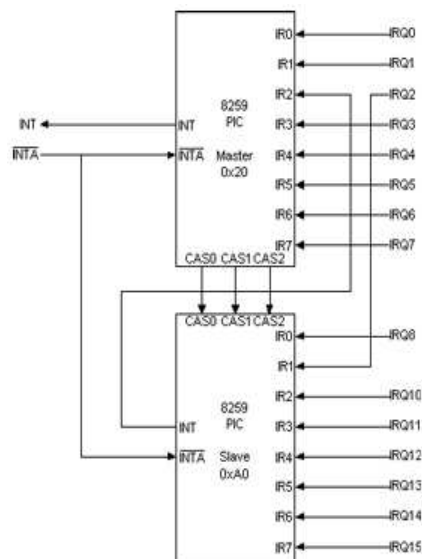
Interrupt nei P.C.

(slide "Interrupt: 8259/APIC PC interrupts", 42 -> 53)

L'evoluzione dei chipset ha ampliato le possibilità di interrupt, soprattutto a livello di microprocessore. I Personal Computer dispongono di quindici diverse interruzioni mascherabili, gestite da due dispositivi 8259 connessi in modalità master-slave. Lo slave controlla otto dei quindici interrupt, mentre il master solo sette, in quanto una linea funge da collegamento in cascata tra i due dispositivi. In generale, è possibile creare delle cascate di 8259 composte da un master da un massimo di otto slave, opportunamente programmati.

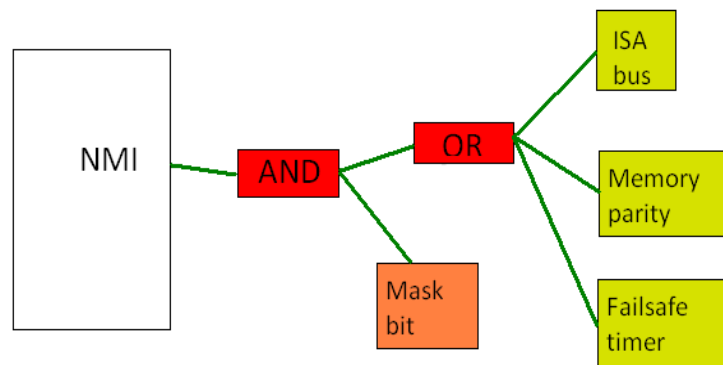


La procedura, di interruzione, viene quindi gestita su più "piani": lo slave che presenta un interrupt in uno dei suoi livelli, inoltra un segnale di INT al pin IR del master, il quale si occupa di inviare a sua volta il segnale alla CPU o, nel caso di più richieste pendenti, di gestirle in base alla priorità definita. Nel momento in cui il master riceve la risposta del processore, setta l'opportuno bit nell 'Interrupt Service Register, esegue il reset dell' Interrupt Request Register e controlla se la richiesta di interruzione è giunta da uno slave, attraverso i bit inizializzati da ICW3. Il master, infine, rende noto a tutti gli slave il segnale di INTA tramite l'invio del numero di livello di IR sulle linee di CAS che lo collegano agli altri dispositivi. Ogni slave confronta il proprio ID con il valore posto sulle linee di CAS e, nel caso di corrispondenza, definisce di conseguenza i valori dei registri IRR e ISR e pone sul data bus l'indirizzo della vector table contenuto nella propria ICW2.



Nel caso dei Personal Computer, il canale di collegamento tra master e slave è il pin IR2 del master, la priorità delle interruzioni è fissa e il comando di End Of Interrupt (EOI) è gestito manualmente e inoltrato una volta al master ed un'altra allo slave. Normalmente, i due 8259 vengono anche utilizzati dal sistema operativo o dai driver delle periferiche per abilitare o disabilitare dei canali di interrupt tramite un comando OCW1: tutti i bit posti ad uno in questa word mascherano i canali IR corrispondente, rendendo la CPU indifferente a tali livelli di richiesta.

Nelle moderne architetture, esiste anche un'altra categoria di interrupt, quella degli interrupt non mascherabili (NMI, Non Maskable Interrupt). Gli NMI sono usati per gestire errori e stati anomali della macchina che non possono essere risanati in alcun modo e che richiedono un intervento immediato. L'interruzione è generata dalla connessione in OR logico di tre diverse richieste di interruzione:



- Memory parity: la rilevazione di un errore di parità non correggibile nella memoria dinamica necessita la sospensione di tutti i processi poiché lo stato del sistema non è affidabile.
- ISA bus: questa interruzione riguarda la corruzione dei dati sui bus di periferica o di sistema. ISA bus è un bus industriale sul quale si possono inserire diversi slot. Viene utilizzato in tutte quelle applicazioni che necessitano di un intervento immediato (come nel caso dei sistemi Real Time).
- Failsafe timer: in tutti i sistemi Real Time i processi terminano in un tempo definito, al fine di attivare, in genere, il processo conseguente. Nel caso, invece, che il processo non si estingua nell'intervallo di tempo definito, un meccanismo definito come "watch dog" si occupa di allertare il sistema operativo. Il watch dog si realizza attraverso un timer, ovvero utilizzando uno dei tre contatori di un dispositivo 8253. La gestione dell'interrupt non mascherabile, una volta ricevuta una richiesta, esegue il polling su tutte le interfacce per controllare lo stato dei bit di avviso.

Interrupt nei sistemi multiprocessore

(slide "Interrupt: 8259/APIC PC interrupts", 54)

L'interrupt nei sistemi multiprocessore richiede una particolare attenzione nello scheduling dell'interruzione. Si consideri, per esempio, un sistema con quattro CPU che, al momento della richiesta di interruzione, gestisce quattro processi con priorità differente. Il processo da interrompere è, logicamente, quello a priorità inferiore. Lo schedulatore deve, quindi, conoscere tutti i processi in corso e le rispettive priorità, per poter veicolare la richiesta in maniera adeguata. Per fare ciò, si utilizzano un dispositivo 8259 di livello superiore per gestire tutti i segnali indirizzarli ai processori e un IO APIC che comunica attraverso un bus dedicato con i local APIC delle singole CPU.

Gestione in modo protetto nell'architettura memoria virtuale e paginazione 80x86/32

Il modo protetto nasce con l'architettura 286, 16 bit e acquisisce una maggiore rilevanza applicativa con l'avvio dell'architettura Pentium. L'architettura x86 possiede, ormai in maniera intrinseca, il concetto di segmentazione.

Lo spazio di indirizzamento è la profondità massima della memoria, ovvero il numero massimo di indirizzi che si possono gestire. La memoria fisica è lo spazio di memoria direttamente utilizzabile dall'ABUS, mentre la memoria logica è quella visibile al programmatore Assembler. Tale memoria può essere lineare, come nel caso del Power 5, o no come nel Pentium. L'indirizzamento lineare consiste nell'utilizzo di un solo registro per la selezione di un byte, in caso contrario vengono utilizzati due registri e si parla di modello di memoria segmentato.

Intel utilizza architetture che prevedono sia la segmentazione (passaggio da memoria logica a lineare) che la paginazione (da memoria lineare a memoria fisica). I segmenti non sono sovrapponibili e questo può essere causa di sprechi all'interno della memoria logica. Il processo di segmentazione genera un indirizzo nella memoria lineare a partire da due registri, il registro di segmento e l'offset. La memoria lineare ha profondità massima pari ad un solo segmento e l'indirizzo lineare coincide con la testa del segmento.

Il mapping tra memoria logica virtuale e memoria lineare viene realizzato mediante hardware; ogni indirizzo di segmento è associato all'indirizzo lineare tramite un descrittore, vengono definiti anche degli attributi di protezione (code/data, R/W,...) e quattro livelli di privilegio (da 0 a 3). Ogni segmento possiede un descrittore definito in una tabella, detta tabella dei descrittori, gestita via hardware e popolata dal sistema operativo. La prima parte di questa tabella contiene i descrittori dei segmenti globali, mentre la seconda descrive i processi utente; in realtà, quindi si potrebbe parlare di due tabelle, una per i processi locali e una per quelli globali. Ogni volta che si esegue un'istruzione viene generato un indirizzo di base a partire dal registro di segmento e dal relativo descrittore; l'indirizzo lineare è ricavato dall'indirizzo di base a sommandoci l'offset. Nel descrittore sono memorizzati l'indirizzo di base e le informazioni sulle modalità di sovrapposizione dei segmenti, il limite che indica la reale occupazione del segmento, gli attributi che definiscono il profilo del segmento e il livello di privilegio.