

Performance evaluation ed evoluzione dei microprocessori

In questo paragrafo vengono considerati, in termini quantitativi, i miglioramenti prestazionali introdotti da alcune evoluzioni tecnologiche ed architetturali sui microprocessori. In particolare si valuteranno i seguenti elementi:

- velocità del bus esterno
- parallelismo(prefetch, ...)
- cache L1

Per valutare le prestazioni si farà riferimento alla gestione della memoria video dato che è uno degli elementi critici nell'architettura del sistema sia in profondità nella memoria sia nell'aggiornamento della memoria video.

Di seguito ci saranno degli esempi riguardo la gestione della memoria video,utilizzando diversi

sistemi architetturali e tecnologie.

Caso di Studio

MemoriaVideo Richiesta = 600 pixel • 400 pixel • 3 Byte = 0,72 MB

Refresh = 50 Hz

Transfer Rate richiesto = 0,72 MB • 50 Hz = 36 MB/s

Tempo aggiornamento richiesto = 20 ms

Come tempo di esecuzione si considera il tempo necessario a fare una scrittura in memoria

Sistema I

Caratteristiche

Sistema sequenziale, Monobus

Microprocessore M24 (8086/88 fp=8MHz)

BUS pre-ISA

$$Ampiezza_{bus} = 16\text{bit}$$

$$f_{bus} = 8\text{MHz}$$

$$T_{ck} = 1/f_p = 125\text{ns}$$

$$T_{accessoMemoria} = 4 \cdot T_{ck} = 500\text{ns}$$

Elaborazione

Calcolo del Tempo medio di istruzione, $T_{MedioIstruzione}$

Lunghezza media istruzioni = 2,5 Byte

(2,5 Byte / $Ampiezza_{BUS}$ = 2 accessi in memoria per la fase di fetch)

$$T_{MedioIstruzione} = T_{Fetch} + T_{Execution} = 2 \cdot 250\text{ns} + 125\text{ns} = 625\text{ns}$$

Milioni di operazioni in un secondo = 1 s / 1,5 μ s = 0.7 Mips

$$Transfer\ Rate = 1/T_{AccessoMemoria} \cdot Ampiezza_{BUS} = 4\text{ MB/s}$$

CASO: Refresh video memory

Per l'aggiornamento della memoria video mediante istruzioni è richiesto un tempo pari a:

$$Tempo_{AggiornamentoMedio} = Memoria_{VideoRichiesta} \cdot T_{MedioIstruzione} / Ampiezza_{BUS} = 0,72 MB \cdot 1,5 \mu s / 2 Byte = 540 ms \gg 20 ms$$

Il sistema NON risulta essere sufficiente.

Evoluzione 0

Caratteristiche

Sistema sequenziale, Monobus

Prefetch Buffer

Faster BUS ($2 \cdot T_{ck}$)

Microprocessore M24 (8086/88 fp=8MHz)

BUS pre-ISA

$$Ampiezza_{BUS} = 16 \text{ bit}$$

$$f_{BUS} = 8 \text{ MHz}$$

$$T_{ck} = 1 / f_p = 125 \text{ ns}$$

$$T_{AccessoMemoria} = 2 \cdot T_{ck} = 250 \text{ ns}$$

Elaborazione

Calcolo del Tempo medio di istruzione, $T_{MedioIstruzione}$

$$Lunghezza\ media\ istruzioni = 2,5 \text{ byte} \quad (2,5 \text{ Byte} / Ampiezza_{BUS} = 2 \text{ accessi per il Fetch})$$

$$T_{MedioIstruzione} = T_{Fetch} + T_{Execution} = 2 \cdot 500 + 250 = 250 \text{ ns}$$

Non viene considerato il TFetch, siccome è attivo il Prefetching

Milioni di operazioni in un secondo = $1 \text{ s} / 250 \text{ ns} = 4 \text{ Mips}$

$$Transfer\ Rate = 1 / T_{AccessoMemoria} \cdot Ampiezza_{BUS} = 8 \text{ MB/s}$$

CASO: Refresh video memory

Per l'aggiornamento della memoria video mediante istruzioni è richiesto un tempo pari a:

$$Tempo_{Aggiornamento\ Medio} = Memoria_{Video\ Richiesta} \cdot T_{MedioIstruzione} / Ampiezza_{BUS}$$

$$0,72 \text{ MB} \cdot 250 \text{ ns} / 2 \text{ Byte} = 90 \text{ ms} > 20 \text{ ms}$$

Il sistema NON risulta ancora essere sufficiente.

Sistema II

Caratteristiche

Sistema parallelo, Monobus + veloce

Pentium I (30 MHz)

BUS

$$Ampiezza_{BUS} = 32 \text{ bit}$$

$$f_{BUS} = 30 \text{ MHz}$$

$$T_{ck} = 1 / f_p = 33 \text{ ns}$$

$$T_{AccessoMemoria} = 2 \cdot T_{ck} = 66 \text{ ns}$$

Elaborazione

Calcolo del Tempo medio di istruzione, TMedio Istruzione

Lunghezza media istruzioni = 2,5 Byte (2,5 / Ampiezza_{BUS} = 1 accesso ∈ memoria per il Fetch)

Tempo medio istruzione = $T_{Fetch} + T_{Execution} = 0(\text{Prefetching}) + 66 = 66 \text{ ns}$

Milioni di operazioni ∈ un secondo = $1 \text{ s} / 66 \text{ ns} = 15,2 \text{ Mips}$

Transfer Rate = $1 / T_{AccessoMemoria} \cdot \text{Ampiezza}_{BUS} = 60 \text{ MB/s}$

Tempo AggiornamentoMedio = $\text{Memoria}_{VideoRichiesta} \cdot T_{MedioIstruzione} / \text{Ampiezza}_{BUS} = 0,72 \text{ MB} \cdot 66 \text{ ns} / 4 \text{ Byte} = 11,88 \text{ ms}$

Il sistema risulta essere sufficiente.

Evoluzione 1

Caratteristiche

Multi Level Bus (AGP, PCI, ISA)

Cache (multilevel)

Il tempo di istruzione è una media tra i vari tempi di CPU, memoria e I/O.

Calcolo del Tempo medio di istruzione, TMedio Istruzione

TMedio Istruzione = Media{TCPU, TI/O, TMemoria}

TCPU è il tempo dovuto a istruzioni che impiegano solamente la CPU

TI/O è il tempo dovuto a istruzioni che coinvolgono dispositivi di I/O

TMemoria è il tempo dovuto a istruzioni che effettuano l'accesso in memoria

Ipotesi base

Il calcolatore esegue istruzioni ripartite nel seguente modo:

25% tempo dedicato alle istruzioni della CPU

70% tempo dedicato alle istruzioni per l'accesso in memoria;

5% tempo dedicato alle istruzioni per i dispositivi di I/O

Calcoliamo i singoli tempi:

TCPU = 5 ns (200 MiPS, 200 MHz)

TMemoria:

Tempo Cache (Hit/Miss = 90%) = 10 ns

Tempo DRAM = 60 ns

Ipotesi 1

TI/O: Tempo ISA (10 MHz, 2•Tck) = 200 ns (5 MiPS)

Otteniamo

Tempo totale ip. 1 = $25\% \cdot 5 \text{ ns} + 70\% \cdot (90\% \cdot 10 \text{ ns} + 10\% \cdot 60 \text{ ns}) + 5\% \cdot 200 \text{ ns} = 21,75$

ns

Ipotesi 2

TI/O: Tempo PCI (66 MHz, 2•Tck) = 33 ns (30 MiPS)

Otteniamo

Tempo totale ip. 2 = $25\% \cdot 5 \text{ ns} + 70\% \cdot (90\% \cdot 10 \text{ ns} + 10\% \cdot 60 \text{ ns}) + 5\% \cdot 33 \text{ ns} = 13,4 \text{ ns}$

Si può notare come anche un aumento della frequenza di lavoro della CPU influisce in modo non superiore a pochi punti percentuali sul tempo totale.

Ad esempio un miglioramento alla sola CPU del 100% (TCPU si dimezza) riduce solo di circa il 5% il Tempo totale.

Evoluzione 2

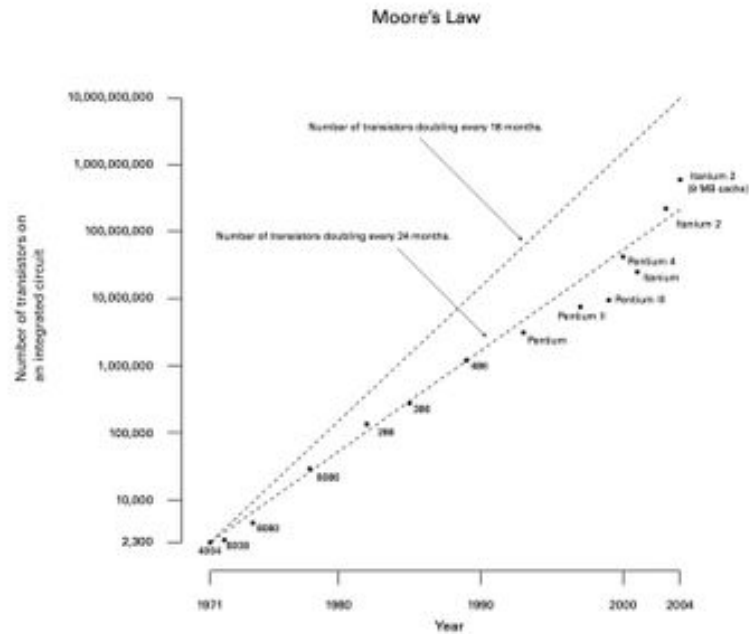
Caratteristiche

Dual/Four Core Architecture

Dual Level instruction set

Parallelismo implicito a livello hardware (Pentium) o compilatore (Itanium-EPIC)

In base alla Legge di Moore, le prestazioni dei processori ed il rispettivo numero di circuiti integrati raddoppia ogni 18 mesi.



Nell'ultimo decennio, si è verificata la tendenza a raddoppiare il numero di core per microprocessore .