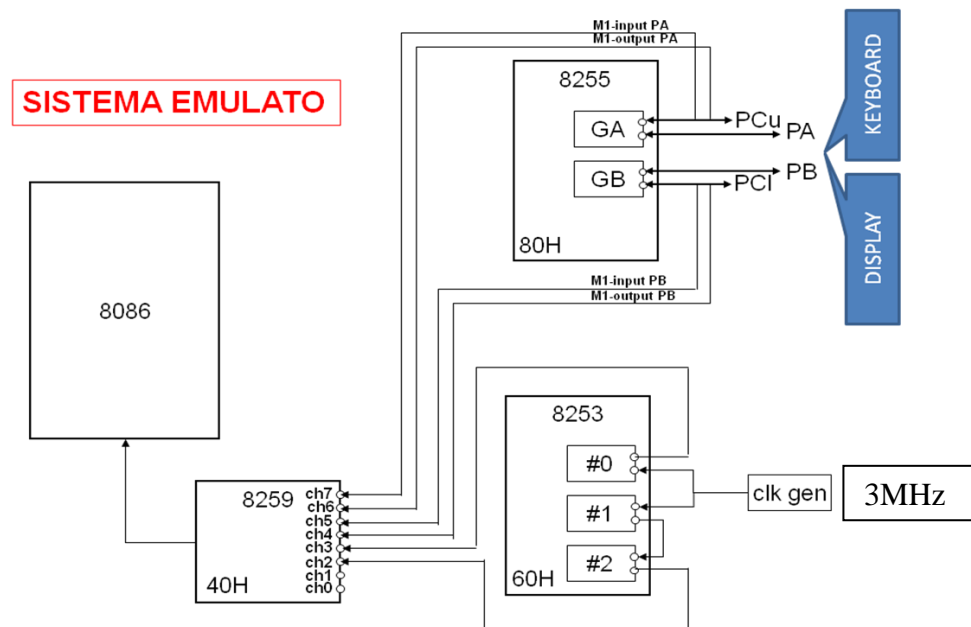


# Architetture dei Sistemi a Elaborazione – a.a. 2010/11

## Esercitazione di Laboratorio 7

Durante l'esercitazione si consideri il sistema 8086 rappresentato in figura, emulato tramite EMU\_8086 e moduli aggiuntivi per 8255 e 8253 (fare riferimento all'esercitazione 5 e 6).



1. Si consideri un sistema 8086 avente l'architettura riportata in figura. La porta A dell'8255 è configurata per funzionare in modo 1 in input, mentre la porta B è impostata in modo 0 output. Le porte servono per scambiare dati su 8 bit con l'esterno, supportate da una struttura di memorizzazione FIFO.

Il sistema riceve dall'esterno sequenze di comandi (corrispondenti ciascuno ad un carattere inviato sulla porta A dell'8255 inferiore) e dati. I comandi possibili sono:

- **I**: acquisisci dalla porta A dell'8255 un dato (intero senza segno su 8 bit) e memorizzalo in una struttura FIFO interna
- **O**: estrai dalla struttura FIFO un dato e invialo sulla porta B dell'8255
- **Z**: azzera la struttura FIFO interna.

A seguito del comando **I** sulla porta A, il sistema riceve 1 o + dati che vengono inseriti nella FIFO (fino eventualmente alla saturazione). A seguito del comando **O**, il sistema estrae un singolo dato e lo emette sulla porta B. Si consideri inoltre:

- in caso siano ricevuti dati sulla porta A senza aver ricevuto il comando I (ad esempio dopo aver ricevuto O o Z), tali dati devono essere ignorati
- in caso la struttura FIFO sia piena, alla ricezione di un nuovo dato, il sistema deve emettere il valore 0FFH sulla porta B (indicazione di saturazione della FIFO)

Il sistema deve infine emettere sulla porta B il numero di dati ricevuti ogni 10 ms; si consideri tale dato su 16 bit.

2. Si consideri un sistema a processore avente l'architettura mostrata in figura. Il sistema acquisisce ogni 250 ms un byte dalla porta A dell'8255 (programmata in modo 0). I byte provenienti dall'8255 corrispondono a pacchetti di 255 interi su 16 bit con segno: ogni intero viene inviato spedendo prima il MSB e poi il LSB. Al termine della ricezione di ciascun pacchetto (255\*2 ricezioni) viene ricevuta una coppia di byte che contiene il codice di parità dei 255 interi nel pacchetto.

Se il sistema non rileva errori, invia sulla porta B dell'8255 (anch'essa programmata in modo 0) i 4 byte corrispondenti alla somma degli interi nel pacchetto (partendo dal byte più significativo) ogni 15 ms. Altrimenti invia 4 byte con il valore 0FFFFFFFh.

Esempio di calcolo della parità (su 2 word ricevute):

	MSB	LSB
pacchetto 1	11010101	01000010
pacchetto 1	10111100	11101101
parità	01101001	10101111